

Software-Implementierung der Memristor-Logik

HEIDEMARIE SCHMIDT | THOMAS MIKOLAJICK | RAINER WASER | EIKE LINN

Dieses Dokument ist eine Ergänzung zum Artikel „Big Data ohne Energiekollaps“ in **Physik in unserer Zeit**, 46. Jahrgang 2015, Nr. 2, S. 84.

Dieser Abschnitt stellt die einzelnen Schritte der Software-Konfigurierung detailliert dar. Hardwareseitig wird bei der Änderung der Logikgatter der Zustand der neuartigen, nicht-flüchtigen, resistiven Schalter durch das Anlegen einer wohl definierten Folge von Spannungen, den sogenannten Konfigurationsschritten, geändert. Das Ergebnis der logischen Verknüpfung wird mit einer Lesespannung ausgelesen.

Im Fall der ECM-CRS-Zellen [1] werden bis zu drei Konfigurationsschritte benötigt, während für den resistiven Schalter auf der Basis von BiFeO_3 [2] zwei Konfigurationsschritte und ein variablenabhängiger Leseschritt (dritter Konfigurationsschritt) erfolgen muss. Dabei ist zu beachten, dass ein späteres Auslesen der ECM-CRS-Zelle diese gleichzeitig löscht und initialisiert, wohingegen das variablenabhängige Lesen der BiFeO_3 -Zelle, das als dritter Konfigurationsschritt als Teil der Logikoperation erfolgen muss, den Zustand der Zelle nicht beeinflusst.

Die Wirkung der wohldefinierten Folge von Schreibspannungen in den Konfigurationsschritten eines Logikgatters mit zwei Eingängen und einem Ausgang auf den Zustand des resistiven Schalters wurde von uns mit der entsprechenden Wahrheitstabelle des zu konfigurierenden Logikgatters geprüft. Bei der BiFeO_3 -Zelle entspricht ein betragsmäßig kleiner Lesestrom ($,0'$) dem Zustand des resistiven Schalters mit hohem Widerstandswert (HRS) im dritten Konfigurationsschritt. Ein betragsmäßig hoher Lesestrom ($,1'$) in diesem Schritt entspricht dagegen dem Zustand des resistiven Schalters mit geringem Widerstandswert (LRS).

Bei der ECM-CRS-Zelle wird das Auftreten eines Stromstoßes beim destruktiven Lesen als $,0'$ gewertet, wohingegen das Ausbleiben einer logischen $,1'$ entspricht. Die Spannungen in den Konfigurationsschritten werden zwischen dem Kontakt T1 an der Oberseite und dem Kontakt T2 an der Unterseite des Memristors angelegt. Durch geeignete Wahl der Polarität der Schreibspannung können 14 von 16 Logikgattern in maximal drei Konfigurationsschritten realisiert werden [1].

Erlaubt man auch eine variablenabhängige Polarität der Lesespannung als dritten Konfigurationsschritt, dann können alle 16 Logikgatter mit zwei Eingängen und einem Ausgang mit einem und demselben Memristor emuliert werden [2]. Am Beispiel des NOR-Gatters mit zwei Eingängen und einem Ausgang zeigen wir, wie der erste bis dritte Konfigurationsschritt je für einen resistiven Schalter auf der Basis von zwei gegeneinander verschalteten ECM-Zellen (Abbildung 1a) und auf der Basis von BiFeO_3 (Abbildung 1b) definiert ist. Der 1. Konfigurationsschritt entspricht in beiden Fällen einem Zurücksetzen des resistiven Schalters auf einen wohl definierten Ausgangszustand.

Im zweiten und dritten Konfigurationsschritt ist die Definition der zwischen T1 und T2 anzulegenden Spannung für beide Arten resistiver Schalter unterschiedlich. Die NOR-Wahrheitstabelle ist für beide Arten resistiver Schalter erfüllt. Damit haben wir beispielhaft anhand des NOR-Gatters demonstriert, dass in den neuartigen, nichtflüchtigen, resistiven Schaltern alle 16 Logikgatter mit zwei Eingängen und einem Ausgang konfiguriert werden können.

ABB. 1 SOFTWARESEITIGE REKONFIGURATION VON MEMRISTOREN IN MEMRISTOR-LOGIK

$\overline{p+q}$		1. Konfigurationsschritt		2. Konfigurationsschritt		3. Konfigurationsschritt	
		T1	T2	T1	T2	T1	T2
p	q	1	0	0	q	0	p
0'	0'	LRS/HRS	LRS/HRS	LRS/HRS	LRS/HRS	LRS/HRS=1'	LRS/HRS=1'
1'	0'	LRS/HRS	LRS/HRS	LRS/HRS	LRS/HRS	HRS/LRS=0'	HRS/LRS=0'
0'	1'	LRS/HRS	LRS/HRS	HRS/LRS	HRS/LRS	HRS/LRS=0'	HRS/LRS=0'
1'	1'	LRS/HRS	LRS/HRS	HRS/LRS	HRS/LRS	HRS/LRS=0'	HRS/LRS=0'

a

$\overline{p+q}$		1. Konfigurationsschritt		2. Konfigurationsschritt		3. Konfigurationsschritt	
		T1	T2	T1	T2	T1	T2
p	q	1	0	p	q	\overline{p}	
0'	0'	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	PLRS=1'	
1'	0'	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	NHRS=0'	
0'	1'	(PLRS, NHRS)	(PLRS, NHRS)	(PHRS, NLRS)	(PHRS, NLRS)	PHRS=0'	
1'	1'	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	(PLRS, NHRS)	NHRS=0'	

b

Softwareseitige Rekonfiguration eines NOR-Gatters mit (a) einem resistiven Schalter, der aus einem Dreischicht-Memristor besteht, und (b) mit einem resistiven Schalter, der aus einem Zweischicht-Memristor besteht. Die im 1. bis 3. Konfigurationsschritt zwischen dem Terminal T1 und T2 angelegte Spannung hängt von dem zu konfigurierendem Logikgatter und von der Art des resistiven Schalters ab. Für beide Arten resistiver Schalter ist die NOR-Wahrheitstabelle erfüllt.

Literatur

- [1] E. Linn et al., Nanotechnology **2012**, 23, 305205.
 [2] T. You et al., Adv. Funct. Mat. **2014**, DOI: 10.1002/adfm.201303365.